

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-032218
(43)Date of publication of application : 31.01.2002

(51)Int.Cl.

G06F 9/38
G06F 1/32
G06F 1/04
G06F 9/30
G06F 9/40
G06F 15/16
G06F 15/78

(21)Application number : 2000-213697
(22)Date of filing : 14.07.2000

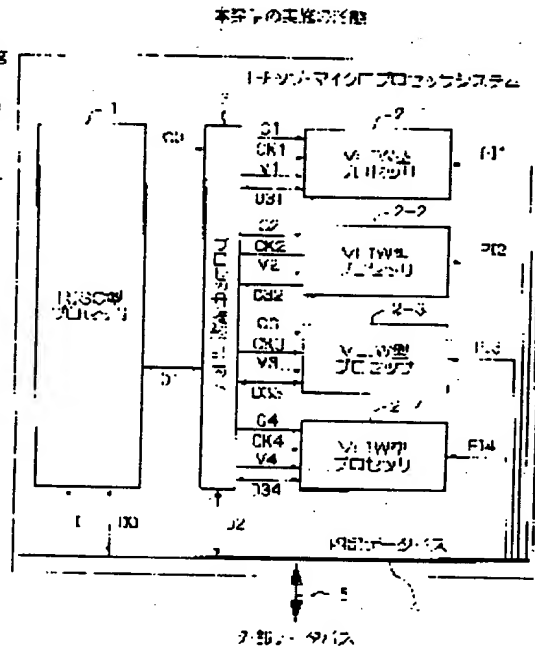
(71)Applicant : RIKOGAKU SHINKOKAI
(72)Inventor : MAEJIMA HIDEO

(54) MICROPROCESSOR SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that the compatibility of software is not kept when performance is enhanced by improving or altering architecture.

SOLUTION: In this microprocessor system, a first processor to manage the entire system, plural second-processors 2-1, 2-2, 2-3, 2-4 to execute prescribed processings and a processor connection unit connected among the first processor and the plural second processors are provided and all or a part of the plural second processors are started according to output of the first processor.



LEGAL STATUS.

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-32218

(P2002-32218A)

(43)公開日 平成14年1月31日(2002.1.31)

| (51)Int.Cl. | 識別記号 | F I | テーマコード(参考) |
|--------------|-------|--------------|-------------------|
| G 0 6 F 9/38 | 3 7 0 | G 0 6 F 9/38 | 3 7 0 C 5 B 0 1 1 |
| | 3 1 0 | | 3 7 0 X 5 B 0 1 3 |
| 1/32 | | 1/04 | 3 1 0 X 5 B 0 3 3 |
| 1/04 | 3 0 1 | 9/30 | 3 0 1 C 5 B 0 4 5 |
| | | | 3 3 0 A 5 B 0 6 2 |

審査請求 未請求 請求項の数17 O L (全 9 頁) 最終頁に続く

(21)出願番号 特願2000-213697(P2000-213697)

(22)出願日 平成12年7月14日(2000.7.14)

(71)出願人 899000013

財団法人 理工学振興会

東京都目黒区大岡山 2-12-1

(72)発明者 前島 英雄

神奈川県横浜市緑区長津田町459東京工業
大学内

(74)代理人 100100011

弁理士 五十嵐 省三

最終頁に続く

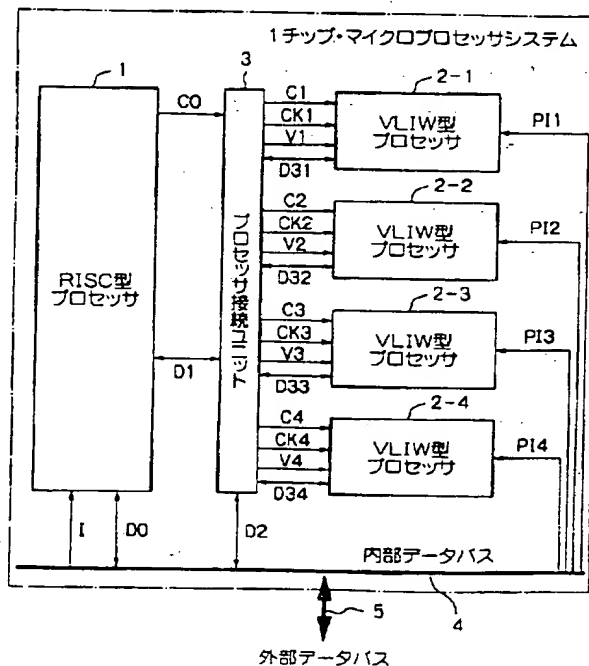
(54)【発明の名称】 マイクロプロセッサシステム

(57)【要約】

【課題】 アーキテクチャの改善または変更のより性能を向上された場合にソフトウェアの互換性が維持できなかった。

【解決手段】 マイクロプロセッサシステムにおいて、システム全体を管理するための第1のプロセッサと、所定の処理を実行するための複数の第2のプロセッサ2-1, 2-2, 2-3, 2-4と、第1のプロセッサと複数の第2のプロセッサとの間に接続されたプロセッサ接続ユニットと設け、第1のプロセッサの出力に応じて複数の第2のプロセッサの全部もしくは一部を起動させるようにした。

本発明の実施の形態



【特許請求の範囲】

【請求項1】 少なくともシステム全体を管理するための第1のプロセッサ(1)と、所定の処理を実行するための複数の第2のプロセッサ(2-1、2-2、2-3、2-4)と、

前記第1のプロセッサと前記複数の第2のプロセッサとの間に接続され、前記第1のプロセッサの出力に応じて前記複数の第2のプロセッサの全部もしくは一部を起動させるためのプロセッサ接続ユニット(3)とを具備するマイクロプロセッサシステム。

【請求項2】 前記プロセッサ接続ユニットは前記各第2のプロセッサの動作クロック周波数を独立に制御する請求項1に記載のマイクロプロセッサシステム。

【請求項3】 前記プロセッサ接続ユニットは前記各第2のプロセッサの電源電圧を独立に制御する請求項1に記載のマイクロプロセッサシステム。

【請求項4】 前記プロセッサ接続ユニットは前記各第2のプロセッサの動作クロック周波数及び電源電圧を独立に制御する請求項1に記載のマイクロプロセッサシステム。

【請求項5】 前記プロセッサ接続ユニットは前記第1のプロセッサのサブルーチンコール命令を用いて前記各第2のプロセッサを起動させる請求項1に記載のマイクロプロセッサシステム。

【請求項6】 前記第1のプロセッサは少なくとも基本ソフトを実行し、前記各第2のプロセッサは少なくともアプリケーションソフトの各プログラムの一部を実行する請求項1に記載のマイクロプロセッサシステム。

【請求項7】 前記第1のプロセッサは基本ソフト及びアプリケーションソフトの各プログラムの一部を実行し、前記各第2のプロセッサはアプリケーションソフトの各プログラムの残りの部分を実行する請求項1に記載のマイクロプロセッサシステム。

【請求項8】 前記第1のプロセッサはRISC型プロセッサであり、前記各第2のプロセッサはVLIW型プロセッサである請求項1に記載のマイクロプロセッサシステム。

【請求項9】 前記複数の第2のプロセッサは並列モードにより動作する請求項1に記載のマイクロプロセッサシステム。

【請求項10】 前記複数の第2のプロセッサはパイプラインモードにより動作する請求項1に記載のマイクロプロセッサシステム。

【請求項11】 前記複数の第2のプロセッサはスロウダウンモードにより動作する請求項1に記載のマイクロプロセッサシステム。

【請求項12】 さらに、前記第1のプロセッサ、前記第2のプロセッサ及び前記プロセッサ接続ユニットに接続された内部バス(4)を具備し、前記第1のプロセッサ、前記第2のプロセッサ及び前記プロセッサ接続ユニ

ットに対して前記内部バスよりデータを格納せしめるようにした請求項1に記載のマイクロプロセッサシステム。

【請求項13】 1チップにより構成された請求項1に記載のマイクロプロセッサシステム。

【請求項14】 前記各第2のプロセッサはアプリケーションソフトを格納するメモリを具備する請求項1に記載のマイクロプロセッサシステム。

【請求項15】 前記メモリは揮発性である請求項13に記載のマイクロプロセッサシステム。

【請求項16】 前記メモリは不揮発性である請求項13に記載のマイクロプロセッサシステム。

【請求項17】 前記メモリはROM、強誘電体メモリのいずれかである請求項16に記載のマイクロプロセッサシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はマイクロプロセッサシステム、特に、1チップ・マイクロプロセッサシステムに関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 近年、マルチメディア分野の進展が著しく、1チップ・マイクロプロセッサへの市場ニーズが高まっている。このマルチメディア分野では、音声、画像、通信等の多くのアプリケーション機能が要求されるが、これらのすべてのアプリケーション機能を従来1チップ・マイクロプロセッサとして用いられてきた縮小命令セットコンピュータ(RISC)型プロセッサにオンチップすることはチップ面積、製造コスト等の観点から困難であり、アーキテクチャ上性能に限界が出始めている。従って、これを打破するために、RISC型プロセッサのアーキテクチャの改善または変更が要求されている。しかしながら、上のRISC型プロセッサの改善または変更はRISC市場でのソフトウェアの互換性を維持できず、機能、サービスの迅速なアップグレードが不可能であるという課題がある。

【0003】 他方、マルチメディア分野では、特に、グラフィックス、画像処理等の高速化が要求されると共にマルチメディア分野が一般家庭にも普及していくものである。従って、マルチメディア分野の1チップ・マイクロプロセッサは高性能にもかかわらず、低消費電力に対する期待が大きい。従来、消費電力を低減するために、1チップ・マイクロプロセッサの動作クロック周波数を単に低下させることにより1チップ・マイクロプロセッサを構成するCMOS回路活性化率を低減させることが行われているが(参照：特開平8-272579号公報)、この場合、処理性能が低下するという課題がある。

【0004】 従って、本発明の目的は、従来のソフトウェアの互換性を維持しつつ、機能、サービスの迅速なア

ップグレードを可能にするマイクロプロセッサシステムを提供することにある。

【0005】

【課題を解決するための手段】上述の課題を解決するために本発明に係るマイクロプロセッサシステムにおいては、少なくともシステム全体を管理するための第1のプロセッサと、所定の処理を実行するための複数の第2のプロセッサと、第1のプロセッサの出力に応じて複数の第2のプロセッサの全部もしくは一部を起動させるためのプロセッサ接続ユニットとを設ける。この結果、各第2のプロセッサに独立の処理を行わせることにより動作クロック周波数を高めることなく処理性能を高めることができる。

【0006】プロセッサ接続ユニットは各第2のプロセッサの動作クロック周波数及び／または電圧電源を独立に制御する。これにより、消費電力を高めることなく処理性能を高めることができる。

【0007】プロセッサ接続ユニットは第1のプロセッサのサブルーチンコール命令を用いて各第2のプロセッサを起動させる。これにより、第1のプロセッサの互換性を維持できる。

【0008】第1のプロセッサは少なくとも基本ソフトを実行し、各第2のプロセッサはアプリケーションソフトの各プログラムの全部又は一部を実行する。従って、第1のプロセッサの互換性を維持できる。たとえば、第1のプロセッサは基本ソフト及びアプリケーションソフトの各プログラムの一部を実行し、各第2のプロセッサはアプリケーションソフトの各プログラムの残りの部分を実行する。

【0009】さらに、第1のプロセッサはRISC型プロセッサであり、各第2のプロセッサはVLIW型プロセッサである。この結果、RISC型プロセッサの互換性を維持できる。

【0010】複数の第2のプロセッサは並列モード、パイプラインモードもしくはスローダウンモードにより動作する。スローダウンモードにより消費電力の低減が図られる。

【0011】さらに、第1のプロセッサ、第2のプロセッサ及びプロセッサ接続ユニットに接続された内部バスを設け、第1のプロセッサ、第2のプロセッサ及びプロセッサ接続ユニットに対して内部バスよりデータを格納せしめるようにした。たとえば、アプリケーションソフトを第2のプロセッサにダウンロードさせることにより、機能、サービスのアップグレードが可能となる。

【0012】また、マイクロプロセッサシステムは1チップにより構成した。さらに、第2のプロセッサはアプリケーションソフトを格納する揮発性または不揮発性メモリを有する。不揮発性メモリとしてはROM、強誘電体メモリ等を用いる。

【0013】

【発明の実施の形態】図1は本発明に係る1チップ・マイクロプロセッサシステムの実施の形態を示すブロック回路図である。図1において、1はシステム全体を管理するためのRISC型プロセッサ、2-1、2-2、2-3、2-4は所定の処理を実行するためのVLIW (Very Long Instruction Word) 型プロセッサ、3はRISC型プロセッサ1の出力に応じてVLIW型プロセッサ・2-1、2-2、2-3、2-4の全部もしくは一部を起動させるためのプロセッサ接続ユニットである。尚、各VLIW型プロセッサ2-1、2-2、2-3、2-4はコンパイラが処理の依存性を調べた上で長い固定長たとえば128ビットの命令を作るものであり、この場合、この命令は複数の処理から構成されているが、実行時に命令の依存関係を調べる必要はない。

【0014】また、RISC型プロセッサ1、VLIW型プロセッサ2-1、2-2、2-3、2-4及びプロセッサ接続ユニット3は内部データバス4に接続されており、さらに、内部データバス4は外部データバス5に接続されている。

【0015】RISC型プロセッサ1は内部データバス4を介して命令入力専用信号Iにより命令を入力し、他方、内部データバス4を介してデータ入出力信号D0によりデータ入出力を行う。従って、RISC型プロセッサ1は上述の命令を解釈してVLIW型プロセッサ2-1、2-2、2-3、2-4を制御するための制御信号C0を発生する。この結果、プロセッサ接続ユニット3は、各VLIW型プロセッサ2-1、2-2、2-3、2-4に対して制御信号C1、C2、C3、C4、動作クロック周波数500MHz、250MHz、125MHzあるいは0MHzのクロック信号CK1、CK2、CK3、CK4、及び5V、3Vあるいは0Vの電源電圧V1、V2、V3、V4を発生する。他方、RISC型プロセッサ1により演算処理されたデータはデータ信号D1によりプロセッサ接続ユニット3を介してデータ信号D31、D32、D33、D34によりVLIW型プロセッサ2-1、2-2、2-3、2-4に供給される。

【0016】さらに、各VLIW型プロセッサ・2-1、2-2、2-3、2-4に対してプログラム入力信号PI1、PI2、PI3、PI4を入力することによりアプリケーションプログラムが各VLIW型プロセッサ2-1、2-2、2-3、2-4に格納される。

【0017】図2は図1のRISC型プロセッサの詳細なブロック回路図である。命令用キャッシュメモリ101は命令入力専用信号Iにより入力された命令を格納する。命令制御ユニット102は命令用キャッシュメモリ101より命令を讀出して解釈し、この結果、命令制御ユニット102は制御信号C1、C2、C3、C4、クロック信号CK1、CK2、CK3、CK4及び電源電圧V1、V2、V3、V4を発生すると共に、解釈結果を演

算ユニット103に供給する。演算ユニット103は解読結果に応じて所定の演算を行い、その際、データ用キャッシュメモリ104のデータ及びプロセッサ接続ユニット3からのデータD1を入力する。尚、データ用キャッシュメモリ104は内部データバス4に接続されている。

【0018】図3は図1のVLIW型プロセッサ2-i (i=1, 2, 3, 4)の詳細なブロック回路図である。図3において、VLIW型プロセッサの2-i全体は電源電圧Viの下でクロック信号CKiの動作クロック周波数で動作する。命令制御ユニット201はプロセッサ制御ユニット3から制御信号Ciを受信してアクセス信号Aをプログラムメモリ202に送信する。この結果、プログラムメモリ202から命令信号ISにより命令が読み出され、この命令は命令制御ユニット201によって解読される。さらに、この解読結果に基づいて演算ユニット203がデータ信号D3iのデータに対して所定の演算を実行する。尚、各VLIW型プロセッサ2-iのプログラムメモリ202にはプログラム入力信号Piにより必要なプログラムが書込まれる。この場合、プログラムメモリ202をリアルタイムで書替えることにより最適なプログラム構成が可能である。また、プログラムメモリ202をDRAM、SRAM等の揮発性メモリで構成することができるが、強誘電体メモリ(FeRAM)等の不揮発性メモリでも構成できる。この場合、システム立ち上がり時間を少なくでき、しかもシステムの立ち上げのプログラムロードがないので低電力消費にも貢献できる。

【0019】図4は図1のプロセッサ接続ユニット3の詳細なブロック回路図である。図4において、プロセッサ接続ユニット3は、レジスタ群301、データバッファ302、ポート303及びVLIW制御ユニット304により構成されている。RISC型プロセッサ1から制御信号C0はVLIW制御ユニット304に供給され、この結果、VLIW制御ユニット304は制御信号C1、C2、C3、C4、クロック信号CK1、CK2、CK3、CK4及び電源電圧V1、V2、V3、V4を発生する。また、RISC型プロセッサ1とのデータ信号D1、VLIW型プロセッサ2-1、2-2、2-3、2-4とのデータ信号D31、D32、D33、D34及びデータバッファ302とのデータ信号D4により、これらの間のデータはポート303によって分配される。さらに、データバッファ302はデータ信号D2により内部データバス4を介してRISC型プロセッサ1のデータ用キャッシュメモリ104及び外部データバス5との間でデータ転送を行う。この場合、ダイレクトメモリアクセス(DMA)等の高速データ転送方式を用いればより効果的なデータ転送が可能となる。

【0020】図5はRISC型プロセッサ1用いられるRISCプロセッサ命令のフォーマットを示す図であ

る。図4のVLIW制御ユニット304はRISCプロセッサ命令のサブルーチン命令コードにより動作するように構成してあり、これにより、従来のソフトウェアとの互換性を維持する。すなわち、VLIW制御ユニット304はRISCプロセッサ命令のオペレーションコードがサブルーチン命令コードのときにVLIW制御信号を解読し、動作周波数番号、電源電圧、プログラム番号に応じて制御信号C1、C2、C3、C4、クロック信号CK1、CK2、CK3、CK4、電源電圧V1、V2、V3、V4を発生する。

【0021】図6は図5のVLIW制御信号の例を示す。たとえば、VLIW制御信号が00000のときには、全VLIW型プロセッサ2-1、2-2、2-3、2-4を予め定めてある状態に初期化する。また、VLIW制御信号が00001~10000のいずれかのときには、VLIW型プロセッサ2-1、2-2、2-3、2-4のクロック信号CK1、CK2、CK3またはCK4の周波数を動作周波数番号指定の周波数たとえば500MHz、250MHz、125MHzまたは0MHzに設定すると共に、VLIW型プロセッサ2-1、2-2、2-3又は2-4の電源電圧を電源電圧番号指定の電圧たとえば5V、3Vまたは0Vに設定する。なお、この場合、クロック信号CK1、CK2、CK3、CK4の周波数及び電源電圧V1、V2、V3、V4の最適な組合せを別個に設定することも可能である。

【0022】VLIW制御信号が10001~10000のいずれかのときには、図7に示すごとく、VLIW型プロセッサ2-1、2-2、2-3、3-4のいずれかをプログラム番号指定のプログラム起動する。また、VLIW制御信号が10001のときには、図8に示すごとく、2つのVLIW型プロセッサたとえば2-1、2-3を起動する。さらに、VLIW制御信号が10010~10011のいずれかのときには、図9に示すごとく、全VLIW型プロセッサ2-1、2-2、2-3、3-4を起動する。たとえば、図9においては、RISC型プロセッサ1が主プログラムを実行すると、VLIW型プロセッサ2-1、2-2、2-3、2-4で実行するサブルーチンに同時にリンクする。これにより、VLIW型プロセッサ2-1、2-2、2-3、2-4の並列処理性が向上する。

【0023】図10は図1のマイクロプロセッサシステムの第1の動作例を示すブロック回路図である。尚、図7において、DEC(DECoder)は命令制御ユニット、ALU(Arithmetic Logic Unit)、MAC(Multiplier / Accumulator)は演算ユニット、FeRAM(強誘電体RAM)はプログラムメモリを示す。MPEG画像の再生たとえばDVDにおける再生においては、グラフィック処理、通信処理は不要である。この場合には、VLIW制御信号00001、01110、00011、

10000により、クロック信号CK1、CK2、CK3、CK4を500MHz、0MHz、500MHz、0MHzに設定すると共に、電源電圧V1、V2、V3、V4を電圧5V、0V、5V、0Vに設定する。そして、VLIW制御信号10001によりVLIW型プロセッサ2-1、2-3の各プログラム番号指定のプログラムを起動する。

【0024】図11は図1のマイクロプロセッサシステムの第2の動作例を示すブロック回路図である。すなわち、グラフィック処理、通信処理をも行う。この場合には、VLIW制御信号00001、00010、00011、00100により、クロック信号CK1、CK2、CK3、CK4を500MHz、500MHz、500MHz、500MHzに設定すると共に、電源電圧V1、V2、V3、V4を電圧5Vに設定する。そして、VLIW制御信号10010によりVLIW型プロセッサ2-1、2-2、2-3、2-4の各プログラム番号指定のプログラムを起動する。これにより、VLIW型プロセッサ2-1、2-2、2-3、2-4は、互いに独立した処理である画像処理(MPEG)、グラフィック処理(2D、3D)、音声処理(合成、認識)、通信処理を動作周波数500MHzで実行する。この場合、他の組合せでもよい。

【0025】図12は図1のマイクロプロセッサシステムの第3の動作例を示すブロック回路図である。すなわち、グラフィック処理、通信処理をも行う。この場合には、VLIW制御信号01001、01010、01011、01100により、クロック信号CK1、CK2、CK3、CK4を125MHz、125MHz、125MHz、125MHzに設定すると共に、電源電圧V1、V2、V3、V4を電圧3Vに設定する。そして、VLIW制御信号10010によりVLIW型プロセッサ2-1、2-2、2-3、2-4の各プログラム番号指定のプログラムを起動する。これにより、VLIW型プロセッサ2-1、2-2、2-3、2-4は、互いに独立した処理である画像処理(MPEG)、グラフィック処理(2D、3D)、音声処理(合成、認識)、通信処理を動作周波数125MHzのスローダウンモードで実行する。この場合、他の組合せでもよい。

【0026】図13は図1のマイクロプロセッサシステムの第4の動作例を示すブロック回路図である。すなわち、グラフィック処理、通信処理をも行う。この場合には、VLIW制御信号00001、00110、01011、01100により、クロック信号CK1、CK2、CK3、CK4を500MHz、500MHz、250MHz、125MHzに設定すると共に、電源電圧V1、V2、V3、V4を電圧5V、3V、3Vに設定する。そして、VLIW制御信号10010によりVLIW型プロセッサ2-1、2-2、2-3、2-4の各プログラム番号指定のプログラムを起動する。これによ

り、VLIW型プロセッサ2-1、2-2、2-3、2-4は、最も負荷の重い画像処理(MPEG)、中程度の負荷のグラフィック処理(2D、3D)、最も負荷の軽い音声処理(合成、認識)及び通信処理を最適に実行する。この場合、他の組合せでもよい。この結果、チップ全体の消費電力に大きく寄与することになる。

【0027】図14は図1のマイクロプロセッサシステムの第5の動作例を示すブロック回路図である。すなわち、VLIW制御信号00001、00010、00011、00100により、クロック信号CK1、CK2、CK3、CK4を500MHz、500MHz、500MHz、500MHzに設定すると共に、電源電圧V1、V2、V3、V4を電圧5Vに設定する。そして、VLIW制御信号10011によりVLIW型プロセッサ2-1、2-2、2-3、2-4の各プログラム番号指定のプログラムを起動する。これにより、VLIW型プロセッサ2-1、2-2、2-3、2-4は、特定処理たとえば高画像処理を細分化してこれをパイプライン処理する。細分化の例として、VLC(Variable Length Coding)、IQ(Inverse Quantization)、IDCT(Inverse Discrete Cosine Transform)、MC(Motion Compensation)の各処理を動作周波数500MHzで実行する。

【0028】上述の実施の形態においては、RISC型プロセッサ1は基本ソフトを実行し、各VLIW型プロセッサ2-1、2-2、2-3、2-4はアプリケーションソフトの各プログラムを実行しているが、RISC型プロセッサ1は基本ソフト及びアプリケーションソフトの各プログラムの一部を実行し、各VLIWプロセッサ2-1、2-2、2-3、2-4はアプリケーションソフトの各プログラムの残り部分を実行するようにしてもよい。すなわち、アプリケーションソフトをRISC型プロセッサ1及び各VLIW型プロセッサ2-1、2-2、2-3、2-4間に分散させることによりアプリケーションソフトの変更に効率的に対処できる。

【0029】

【発明の効果】以上説明したように本発明によれば、第1のプロセッサたとえばRISC型プロセッサに対して複数の第2のプロセッサたとえばVLIW型プロセッサを設けているので、第2のプロセッサにプログラムをダウンロードして機能、サービスをアップグレードさせてもソフトウェアの互換性を維持できる。また、第2のプロセッサを独立に動作させるので、消費電力を低減できる。

【図面の簡単な説明】

【図1】本発明に係る1チップ・マイクロプロセッサシステムの実施の形態を示すブロック回路図である。

【図2】図1のRISC型プロセッサの詳細なブロック回路図である。

【図3】図1のVLIW型プロセッサの詳細なブロック

回路図である。

【図4】図1のプロセッサ接続ユニットの詳細なブロック回路図である。

【図5】図1のRISC型プロセッサに用いられるRISCプロセッサ命令のフォーマットを示す図である。

【図6】図5のVLIW制御番号の例を示す図である。

【図7】図1のマイクロプロセッサシステムの動作を示すシーケンス図である。

【図8】図1のマイクロプロセッサシステムの動作を示すシーケンス図である。

【図9】図1のマイクロプロセッサシステムの動作を示すシーケンス図である。

【図10】図1のマイクロプロセッサシステムの第1の動作例を示すブロック回路図である。

【図11】図1のマイクロプロセッサシステムの第2の動作例を示すブロック回路図である。

【図12】図1のマイクロプロセッサシステムの第3の動作例を示すブロック回路図である。

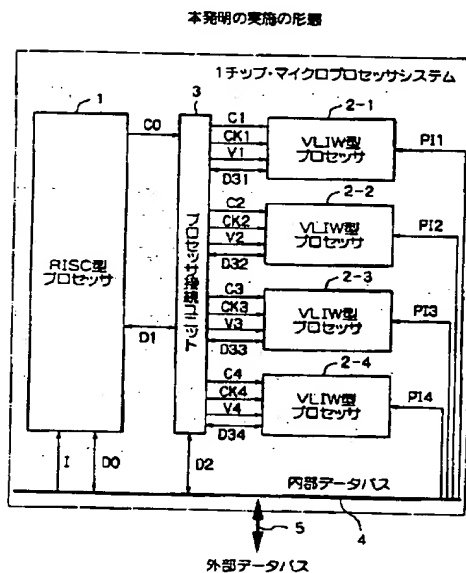
【図13】図1のマイクロプロセッサシステムの第4の動作例を示すブロック回路図である。

【図14】図1のマイクロプロセッサシステムの第5の動作例を示すブロック回路図である。

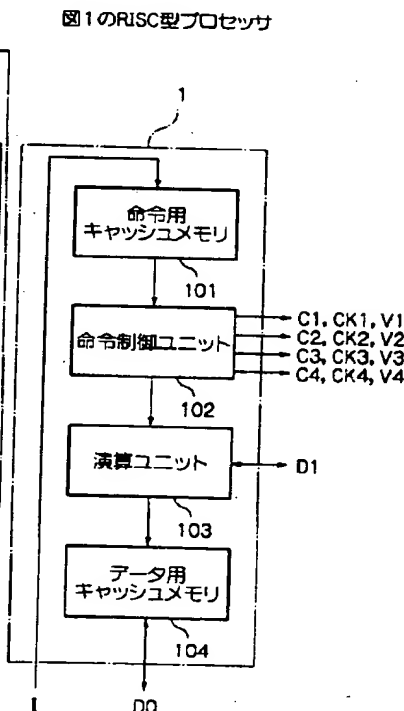
【符号の説明】

- 1…RISC型プロセッサ
- 2-1、2-2、2-3、2-4…VLIW型プロセッサ
- 3…プロセッサ接続ユニット
- 101…命令用キャッシュメモリ
- 102…命令制御ユニット
- 103…演算ユニット
- 104…データ用キャッシュメモリ
- 201…命令用キャッシュメモリ
- 202…プログラムメモリ
- 203…演算ユニット
- I…命令入力信号
- D0…データ入力信号
- D1、D2、D31、D32、D33、D34…データ信号
- C0、C1、C2、C3、C4…制御信号
- CK1、CK2、CK3、CK4…クロック信号
- V1、V2、V3、V4…電源電圧
- PI1、PI2、PI3、PI4…プログラム入力信号
- A…アクセス信号
- IS…命令信号

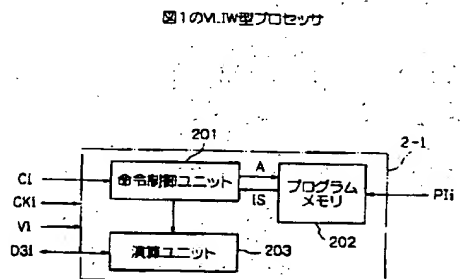
【図1】



【図2】

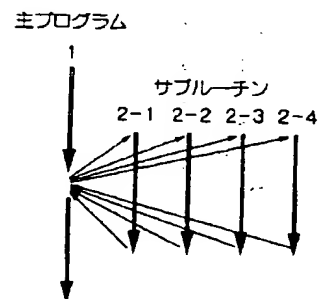


【図3】



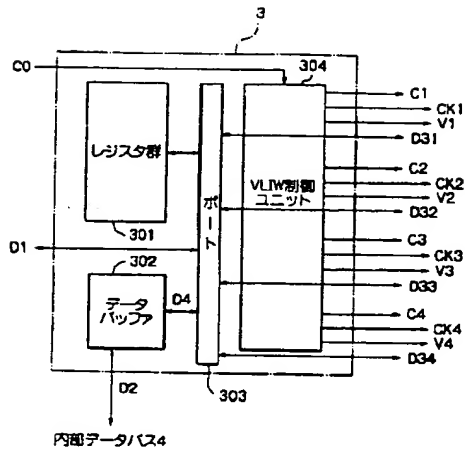
【図9】

図1のマイクロプロセッサシステムの動作(その3)



【図4】

図1のプロセッサ接続ユニット



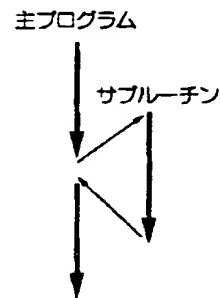
【図5】

RISCプロセッサ命令

| オペレーション コード | VLIW 制御番号 | 動作周波数番号, 電源電圧番号あるいはプログラム番号 |
|----------------|--------------|-------------------------------|
|----------------|--------------|-------------------------------|

【図7】

図1のマイクロプロセッサシステムの動作(その1)

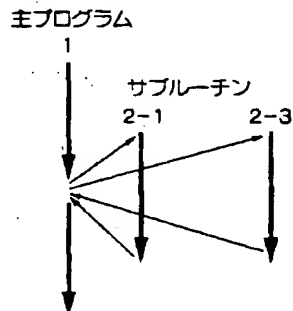


【図6】

| VLIW制御番号 | 制御内容 |
|----------|---------------------------------|
| 00000 | 全VLIWの初期化 |
| 00001 | CK1の周波数を500MHz, VLIW2-1の電源電圧を5V |
| 00010 | CK2の周波数を500MHz, VLIW2-2の電源電圧を5V |
| 00011 | CK3の周波数を500MHz, VLIW2-3の電源電圧を5V |
| 00100 | CK4の周波数を500MHz, VLIW2-4の電源電圧を5V |
| 00101 | CK1の周波数を250MHz, VLIW2-1の電源電圧を3V |
| 00110 | CK2の周波数を250MHz, VLIW2-2の電源電圧を3V |
| 00111 | CK3の周波数を250MHz, VLIW2-3の電源電圧を3V |
| 01000 | CK4の周波数を250MHz, VLIW2-4の電源電圧を3V |
| 01001 | CK1の周波数を125MHz, VLIW2-1の電源電圧を3V |
| 01010 | CK2の周波数を125MHz, VLIW2-2の電源電圧を3V |
| 01011 | CK3の周波数を125MHz, VLIW2-3の電源電圧を3V |
| 01100 | CK4の周波数を125MHz, VLIW2-4の電源電圧を3V |
| 01101 | CK1の周波数を0MHz, VLIW2-1の電源電圧を0V |
| 01110 | CK2の周波数を0MHz, VLIW2-2の電源電圧を0V |
| 01111 | CK3の周波数を0MHz, VLIW2-3の電源電圧を0V |
| 10000 | CK4の周波数を0MHz, VLIW2-4の電源電圧を0V |
| 10001 | VLIW2-1を起動 |
| 10010 | VLIW2-2を起動 |
| 10011 | VLIW2-3を起動 |
| 10000 | VLIW2-4を起動 |
| 10001 | VLIW2-1, 2-3を起動 |
| 10010 | 全VLIWを起動(並列処理) |
| 10011 | 全VLIWを起動(パイプライン処理) |

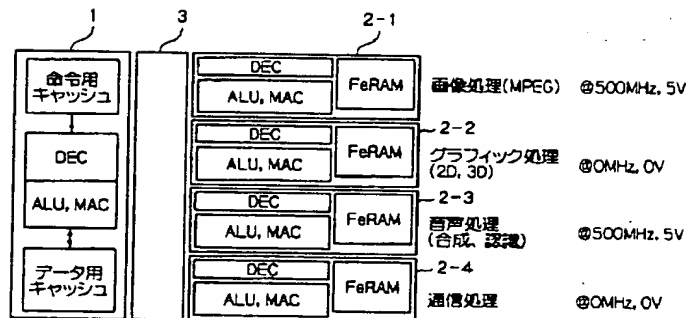
【図8】

図1のマイクロプロセッサシステムの動作(その2)



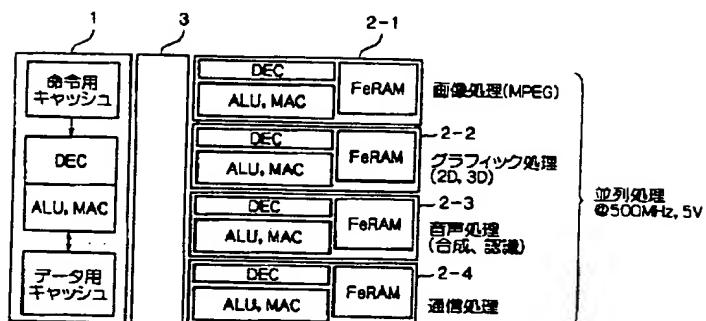
【図10】

図1のマイクロプロセッサのシステムの第1の動作例



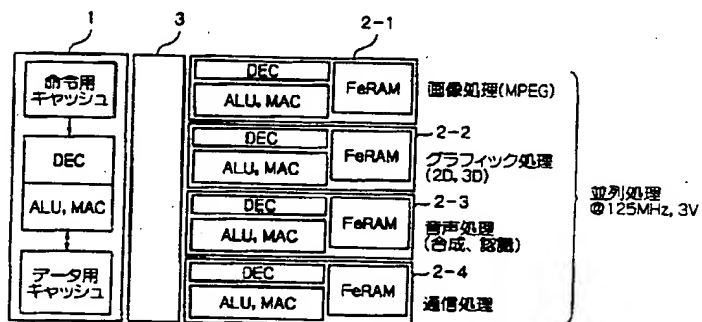
【図11】

図1のマイクロプロセッサのシステムの第2の動作例



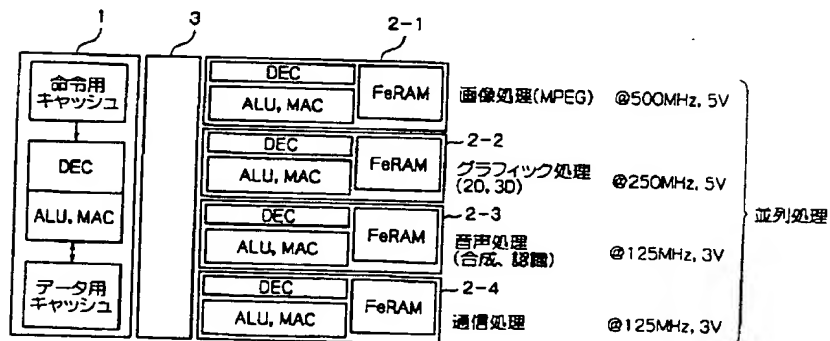
【図12】

図1のマイクロプロセッサのシステムの第3の動作例



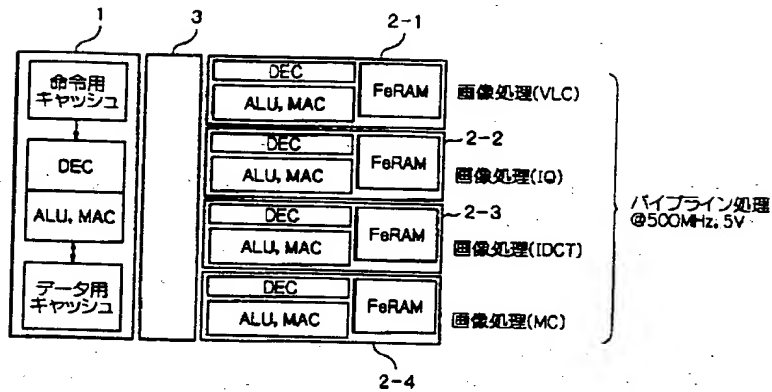
【図13】

図1のマイクロプロセッサのシステムの第4の動作例



【図14】

図1のマイクロプロセッサのシステムの第5の動作例



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

特コード (参考)

G 0 6 F 9/30

3 3 0

G 0 6 F 9/30

3 5 0 G 5 B 0 7 9

9/40

3 5 0

9/40

3 1 0 A

15/16

3 1 0

15/16

6 2 0 G

6 2 0

6 4 0 B

6 4 0

15/78

5 1 0 A

15/78

5 1 0

1/00

3 3 2 E

F ターム (参考) 5B011 EA08 LL02 LL13

5B013 AA00 DD00 DD03 DD05

5B033 AA14 BC01 BE06 EA01

5B045 BB12 BB28 BB47 GG06 GG11

GG17 KK08

5B062 AA03 CC04 DD03 HH02

5B079 AA06 AA07 BA01 BB01 BC01

BC04